

PCB 설계 외주 발주 사양서 (Rev. 7 — 제작 동결본)

15 채널 고임피던스 일렉트렛/TENG 비접촉 센서 프런트엔드 (TIA 방식)

첨부: 회로도 3 매 + 통합 PDF (LMC6484_15CH_TIA_Rev7_schematic.pdf)

보유 부품 기준 — 추가 구매 없음 - LMC6484 (Quad) × 4 개만 사용. 별도 기준전압 버퍼 IC 를 쓰지 않는다 - 증폭기 16 개 중 15 개 = 센서 채널, 1 개(U4D) = VREF 버퍼

보유 DAQ — 실물 확인 완료 - NI USB-6363 Screw Terminal — 실물 단자 라벨 확인 완료 - 128 나사단자, 뚜껑 안쪽 단자 라벨 확인 완료

Rev.6 → Rev.7 변경점 1. R51 을 47 Ω 고정으로 확정. 0 Ω 기본 실장 옵션 삭제 2. 기본 TIA 값은 $RF = 100\text{ M}\Omega$ / $CF = 22\text{ pF}$ C0G/NP0 로 유지 3. CF 재질을 C0G/NP0 또는 필름으로 제한. X7R/Y5V 사용 금지 4. DAQ 권장 수집을 10 kS/s/채널(15 채널 총 150 kS/s)로 변경하고, 40~48 Hz 디지털 LPF 후 필요 시 decimation 5. 기존 “Convert Clock 20~50 μs” 문구 삭제. 10 kS/s/채널 사용 시 AI convert period ≤ 6.67 μs/convert 또는 DAQmx Auto 6. CDAQ 47 nF 는 DAQ kickback reservoir/damping 용도이며 주 anti-alias 필터가 아님을 명시 7. TIA 출력은 Voc 가 아님을 회로도/발주서에 명시. 논문식 정적 Voc characterization 은 Keithley 6514 등 electrometer 로 별도 수행 8. 제작 후 2 단계 ghosting 검증 절차(전기적/MUX → 실제 공간 coupling)를 추가

미결 사항 없음. Rev.7 로 발주 가능.

0. 이 보드의 성격 — 먼저 읽어주십시오

일반 센서 모듈 보드가 아닙니다. 피드백 저항 100 MΩ, 신호 전류 nA(10^{-9} A)급 미소전류 계측 회로입니다.

표면 누설저항	누설전류 (2.5 V)	RF=100 MΩ 오차	RF=1 GΩ 오차
$10^{12}\text{ }\Omega$ (청결)	2.5 pA	0.25 mV	2.5 mV
$10^{10}\text{ }\Omega$ (플렉스 잔류)	250 pA	25 mV	250 mV
$10^9\text{ }\Omega$ (습기·오염)	2.5 nA	250 mV	2.5 V (포화)

→ 청결 상태에서는 여유가 있으나 오염되면 회로가 무력화됩니다. 가드·세척·건조는 선택이 아니라 필수 사양입니다.

부품 수는 적지만 난이도는 일반 2 층 센서 보드와 다릅니다. 참고: TI LMC6482/LMC6484 데이터시트(SNOS674J) 7.4 Layout / Figure 7-26~7-30

1. 시스템 개요

항목	내용
센서 종류	비접촉 일렉트렛/마찰전기 센서 (단일전극 모드 포함)
방식	채널당 독립 트랜스임피던스 앰프 (TIA)
채널 수	15 채널 (CH1~CH15). 초기 실험은 9 채널(3×3)만 사용
입력	센서 커넥터 J1~J15 (SIG / GUARD / RETURN 3 핀)
출력	터미널 블록 또는 헤더 → USB-6363 Screw Terminal 차동 입력
전원	단일 +5 V (기본: DAQ 단자 96 급전)
기준전압	2.5 V (VREF_CORE / VREF_DAO), U4D 단일 버퍼
TIA 피드백 pole	약 72.3 Hz (RF=100 MΩ, CF=22 pF 기본)
신호 크기	센서 전류 ±20 nA 기준: $V_{OUT} \approx 2.5\text{ V} \pm 2.0\text{ V} \rightarrow$ 약 0.5~4.5 V
적층	2 층

2. 주요 부품

지정	부품	수량	비고
U1~U4	TI LMC6484 (SOIC-14)	4	이것이 전부. 다른 op-amp 추가 금지
RF	100 MΩ 기본	15	공통 풋프린트 1 개, 부품 교체 방식 (4.7 항)
CF	22 pF (C0G/NP0) 기본	15	동일
RIN	499 kΩ × 2 직렬 (1206)	30	2.3 항
RVn	1 kΩ	15	+입력 직렬
CVn	0.1 μF 기본 (+1 μF DNP 패드)	15	
RO+ / RO-	100 Ω	30	출력 터미널 직전
CDAQ	47 nF 기본	15	10/22/47/100 nF 동일 풋프린트 교체 가능
R51 / R52	47 Ω	각 1	VREF_CORE / VREF_DAQ 격리. R51도 고정 실장
D1	LED(녹색) + 3.3 kΩ	1	DAQ_ON 표시 (3.6 항)

2.1 전원 핀

- LMC6484 : pin 4 = V+ (+5V_ANA), pin 11 = V- (AGND) — 4 개 IC 전부 동일
- 각 IC pin 4 – pin 11 사이에 0.1 μF + 1 μF 최근접 배치

2.2 패키지

- U1~U4 전부 SOIC-14. IC 소켓 금지. PDIP/SOIC 겸용 이중 풋프린트 금지

2.3 RIN 구성

RIN 은 전류 제한용이며 완전한 ESD 보호회로로 간주하지 않습니다.

결정 근거: 정상 동작 중 전극 개방회로전압은 약 2~11 V 수준이나, 일렉트렛 유전체 자체의 표면전위는 kV 급(선행 연구에서 5 층 적층 시 약 -2.3 kV, 코로나 충전 인가전압 -11 kV)입니다. 커넥터 착탈·취급 중 전극이 부유하면 수십~수백 V 가 RIN 양단에 인가될 수 있습니다.

RIN = 499 kΩ (1206) × 2 직렬 = 998 kΩ ≈ 1 MΩ
합산 내전압 약 400 V

- 두 저항은 센서 커넥터 쪽에 배치하고, 체인의 마지막 노드만 summing node 에 접속
- 저항 패드 간 크리피지·클리어런스 확보

3. 회로 상세

3.1 증폭기 배정표 (확정)

LMC6484 핀 배열: A(OUT 1, -IN 2, +IN 3) / B(+IN 5, -IN 6, OUT 7) / C(OUT 8, -IN 9, +IN 10) / D(-IN 12, +IN 13, OUT 14) / V+ = 4, V- = 11

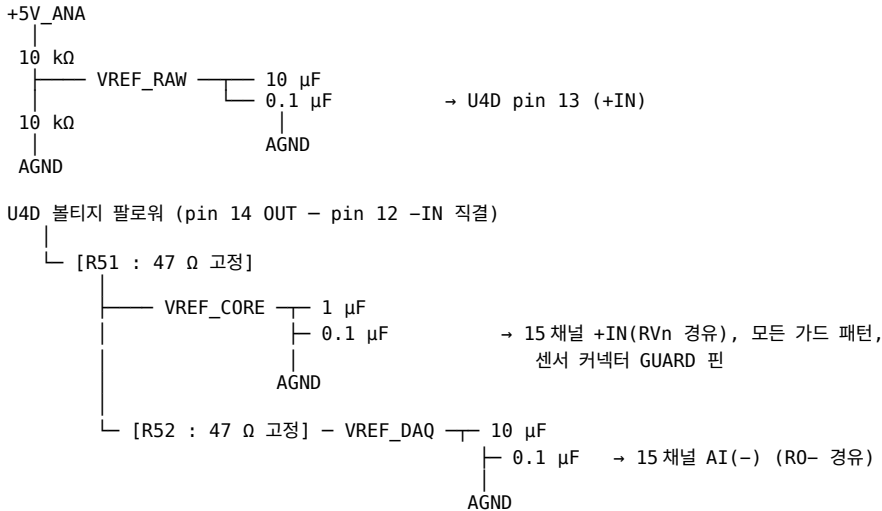
IC	증폭기	용도	OUT	-IN	+IN
U1	A	CH1	1	2	3
U1	B	CH2	7	6	5
U1	C	CH3	8	9	10
U1	D	CH4	14	12	13
U2	A	CH5	1	2	3
U2	B	CH6	7	6	5
U2	C	CH7	8	9	10
U2	D	CH8	14	12	13
U3	A	CH9	1	2	3
U3	B	CH10	7	6	5
U3	C	CH11	8	9	10

IC	종목기	용도	OUT	-IN	+IN
U3	D	CH12	14	12	13
U4	A	CH13	1	2	3
U4	B	CH14	7	6	5
U4	C	CH15	8	9	10
U4	D	VREF 버퍼	14	12	13

U4D를 VREF 버퍼로 지정한 이유: LMC6484는 pin 11(V-, AGND)과 pin 12(-IN D)가 서로 인접해 있어 패키지 표면 누설이 -IN D에 가장 불리하게 작용합니다. U4D를 볼티지 팔로워(저임피던스 노드)로 쓰면 이 경로의 누설이 회로에 영향을 주지 않습니다. **패키지에서 가장 불리한 자리를 가장 둔감한 회로에 배정하는 구성입니다.**

3×3 초기 실험 시 사용 채널: CH1~CH9 (U1 전부, U2 전부, U3A)

3.2 기준전압 생성부 — 단일 버퍼

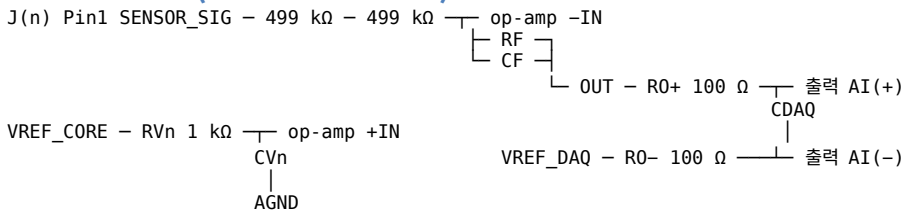


기본 전달관계

$$VAI = AI(+) - AI(-) \approx VOUT - VREF_DAQ \approx -ISENSOR \times RF$$

- 기본 $RF=100\text{ M}\Omega$ 에서 $1\text{ nA} \approx 0.1\text{ V}$, $10\text{ nA} \approx 1\text{ V}$ 의 차동 출력에 해당한다.
- 이 DAQ 신호는 Keithley 6514가 측정하는 개방회로전압(Voc)이 아니다.** TIA로 조건화된 센서 전류/전하 변화 신호이다.
- $CDAQ=47\text{ nF}$ 와 $RO+=RO-=100\text{ }\Omega$ 의 차동 RC pole은 약 16.9 kHz 이며, 주 용도는 DAQ MUX kickback 완화와 로컬 charge reservoir이다. $40\sim 48\text{ Hz}$ 대역 제한은 TIA의 RF/CF 및 디지털 LPF가 담당한다.
- R52(47 Ω)는 필수.** DAQ 멀티플렉서 kickback은 VREF_Daq의 $10\text{ }\mu\text{F}$ 가 흡수하고, $47\text{ }\Omega$ 이 VREF_CORE 쪽으로의 전파를 차단한다. 버퍼를 2개 쓰지 않아도 이 구성으로 충분하다
- R51은 47 Ω 고정 실장.** U4D 피드백은 R51 앞(pin 14 OUT)에서 직접 귀환시키며, R51 뒤의 VREF_CORE $1\text{ }\mu\text{F} + 0.1\text{ }\mu\text{F}$ 및 guard/cable capacitance를 op-amp 페루프에서 격리한다. **0 Ω 옵션은 두지 않는다.**

3.3 채널 회로 (CH1~CH15 동일)



기본 전달관계

$$VAI = AI(+) - AI(-) \approx VOUT - VREF_DAQ \approx -ISENSOR \times RF$$

- 기본 $RF=100\text{ M}\Omega$ 에서 $1\text{ nA} \approx 0.1\text{ V}$, $10\text{ nA} \approx 1\text{ V}$ 의 차동 출력에 해당한다.

- 이 DAQ 신호는 Keithley 6514 가 측정하는 개방회로전압(Voc)이 아니다. TIA 로 조건화된 센서 전류/전하 변화 신호이다.
- CDAQ=47 nF 와 $RO+=RO-=100\ \Omega$ 의 차동 RC pole 은 약 **16.9 kHz** 이며, 주 용도는 DAQ MUX kickback 완화와 로컬 charge reservoir 이다. 40~48 Hz 대역 제한은 TIA 의 RF/CF 및 디지털 LPF 가 담당한다.

3.4 센서 커넥터 — 최소 3 핀, 가드 핀 필수

핀 순서는 반드시 **SIG — GUARD — RETURN** 으로 하여 GUARD 가 SIG 와 RETURN 사이를 물리적으로 차단하게 한다.

J1~J15 (최소 3 핀, 권장 4 핀)

```
Pin 1 : SENSOR_SIG      → RIN 체인 → TIA -IN
Pin 2 : SENSOR_GUARD    → VREF_CORE 에 고정 (선택식 아님)
Pin 3 : SENSOR_RETURN   → 채널별 3-way 솔더점퍼 / 0  $\Omega$  선택 패드
                        위치 A : AGND
                        위치 B : VREF_CORE
                        OPEN   : 미연결 (단일전극 센서) ← 기본 출하 상태
Pin 4 : CABLE_SHIELD    → CHASSIS_SHIELD 네트 (4 핀 사용 시)
```

SENSOR_GUARD 는 VREF_CORE 에 고정한다. SENSOR_RETURN 만 선택식으로 한다. **케이블 실드와 SENSOR_RETURN 을 동일 개념으로 취급하지 않는다.**

3.5 미사용 채널 처리 (9 채널 실험 대응)

CH10~CH15 미사용 시 빈 커넥터가 안테나로 동작하지 않도록, 각 채널의 RIN 입력측을 VREF_CORE 에 묶는 솔더점퍼 JP_SAFE 를 둔다. - OPEN : 센서 연결 시 / CLOSE : 미사용 채널

3.6 전원 — DAQ 단자 96 급전 (기본)

배경: USB-6363 은 전원이 꺼진 상태에서 AI+ / AI- 각각 AI GND 에 대해 약 $820\ \Omega$ 이 됩니다. DAQ 가 꺼진 채 프런트엔드만 켜지면 AI- 한 채널 당 $2.5\text{ V} / (820 + 100)\ \Omega \approx 2.72\text{ mA}$, **15 채널 합계 약 40.8 mA** 를 U4D 하나가 공급해야 하며, LMC648x 의 5 V 소스 단락전류가 약 20 mA(typ) 이므로 **U4D 가 전류제한에 걸려 VREF 가 붕괴**합니다. 파손은 없으나 측정값이 전부 무효가 됩니다.

DAQ 급전을 기본으로 하면 DAQ 가 꺼질 때 보드도 함께 꺼지므로 이 문제가 구조적으로 소멸합니다.

JP_PWR (배타 선택, 동시 삽입 물리적 불가 구조)

```
위치 A (기본) : DAQ 단자 96 (+5 V) → FB(페라이트 비드) → +5V_ANA
위치 B       : 외부 +5 V 입력      → FB                        → +5V_ANA
```

- 디커플링: **페라이트 비드 + 47 μF + 1 μF + 0.1 μF**
- 본 보드 소비전류는 수십 mA 수준. DAQ +5 V 단자는 최대 1 A 공급 가능
- 실크스크린 인쇄: **POWER ON: DAQ → BOARD / POWER OFF: BOARD → DAQ**

3.7 DAQ_ON 표시 LED

외부 급전(위치 B) 사용 시의 인적 실수를 막기 위한 시각적 인터록.

DAQ 단자 96 (+5 V) - 3.3 k Ω - LED(녹색) - AGND (약 1 mA)
실크스크린: "DAQ ON - 소등 시 측정 금지"

4. 레이아웃 필수 제약 (검수 기준)

4.0 적층 — 2 층

Screw Terminal 방식이라 배선 밀도가 낮습니다. **2 층이 충분하며, 내부 플레인 없이 고임피던스 누설 관리에 오히려 유리합니다.**

- 상·하면에 AGND 폴리곤을 두되, 고임피던스 영역(센서 SIG · summing node · RF/CF · -IN)에는 AGND 폴리곤을 완전 보이드하고 그 자리를 VREF_CORE 가드로 채운다

4.1 가드 — 최우선

가드 전위는 VREF_CORE (GND 아님).

가드로 둘러쌀 대상 (summing node 측): - 센서 커넥터 SIG 핀 및 SIG 배선 - RIN 체인 이후의 summing node - op-amp -IN 핀 (CH1~CH15 해당 핀만. U4D 의 pin 12 는 팔로워 노드이므로 대상 아님) - RF / CF 의 -IN 측 패드

가드에 포함하지 말 것: - RF / CF 의 출력측 패드와 OUT 배선 — op-amp 출력으로 능동 구동되는 노드이므로 가드 영역 안에서 길게 주행시키지 말고 즉시 출력 영역으로 분리

시공: - 가드는 상면·하면 양쪽에 배치하고 다수의 가드 스티칭 비아로 연결 - summing node 신호 자체에는 비아를 사용하지 않는다

4.2 고임피던스 노드

- summing node 를 물리적 최단·최소 면적으로 구성
- RF, CF 는 op-amp 핀 바로 옆
- 해당 영역 실크스크린 통과 금지

4.3 출력단

- RO+ / RO- / CDAQ 는 출력 터미널 바로 옆
- CDAQ 는 차동쌍마다 독립. 채널 간 공유 금지
- 출력 커넥터: 3.5 mm 착탈식 터미널 블록 또는 2.54 mm 헤더
- 보드 출력 ~ DAQ 나사단자 간 배선: 차동쌍 트위스트, 총 15 cm 이내

4.4 접지 / 차폐

- 보드는 단일 AGND 네트를 사용
- DAQ 측 배선은 다음 2 개만:
 - 아날로그 기준: AI GND 단자 1 개 (3, 6, 9, 12, 14, 19, 22, 25, 28, 30, 35, 38, 41, 44, 46, 51, 54, 57, 60, 62 중 택 1)
 - 전원 리턴: D GND 단자 1 개 (82, 84, 86, 88, 90, 92, 94 중 택 1)
 - 두 배선은 나란히 트위스트하여 루프 면적 최소화
- 보드 내부에서 두 지점은 NET-TIE 또는 0 Ω 1 개로 합류시켜 측정 중 분리·변경 가능하게 한다
- CHASSIS_SHIELD 네트를 AGND 와 별도로 둔다. 케이블 차폐, 센서 커넥터 Pin 4 연결. AGND 와의 연결은 한 점에서 0 Ω / RC / OPEN 선택
- CHASSIS_SHIELD 배선은 고임피던스 센서 입력 영역을 통과하지 않는다

4.5 배선 분리

- 센서 입력선과 출력선/USB/디지털 신호의 교차·평행 배선 금지
- 채널별 입력 배선의 인접 평행 주행 금지

4.6 금지 사항

- 입력 보호용 TVS / 다이오드 / ESD 소자를 임의로 추가하지 마십시오. 누설전류 nA 급 소자를 붙이면 100 MΩ 회로에서 큰 오프셋을 만들어 회로가 무력화됩니다. 필요 시 서브-pA 급 소자로 옵션 풋프린트(미실장)만 둘 것
- op-amp 를 추가하거나 다른 품종으로 대체하지 마십시오. 본 설계는 보유 부품 LMC6484 4 개로 한정됩니다

4.7 RF / CF 값 변경 방식 — 점퍼 사용 금지

RF 및 CF 는 각각 단일 공통 풋프린트 1 개만 두고, 부품 자체를 교체하여 값을 바꾼다. summing node 에 선택용 0 Ω 점퍼나 절단 점퍼를 넣지 않는다. (스텝·패드·플렉스 잔류 공간이 누설 경로가 되어 가드 설계 목적에 반함)

RF1 : 단일 풋프린트 (1206 또는 2010 등, 1 GΩ까지 수용 가능한 크기)
기본 100 MΩ / 시험 시 10 MΩ, 330 MΩ, 1 GΩ 로 교체

CF1 : 단일 풋프린트
기본 22 pF (**C0G/NP0**) / 시험 시 47 pF, 100 pF(C0G/NP0), 1 nF(C0G/NP0 또는 필름)로 교체
X7R / X5R / Y5V 사용 금지

- 복수 풋프린트가 불가피한 경우에만 **최대 2 개로 제한**, 분기 길이·미실장 패드 면적 최소화, 점퍼 미사용
- 회로도 와 조립도면에 “**택 1 실장**” 명기
- CDAQ 는 summing node 가 아니므로 동일 풋프린트에서 10/22/47/100 nF 교체 가능
- **1 GΩ / 1 nF 조합은 약 1 s 감쇠형 “hold-like” 시험용 옵션일 뿐이며, electrometer 의 정적 Voc 측정을 대체하지 않는다.**

4.8 청정도 / 코팅

- 무세척(No-clean) 플렉스라도 반드시 세척 후 완전 건조
- 컨포멀 코팅은 세척·완전건조·누설 확인 완료 이후, 고표면저항·저흡습성이 확인된 코팅재만 적용. 오염 상태에서 코팅하여 잔류물을 봉입하지 않는다

5. DAQ 배선표 (확정 — 장비 단자 라벨 기준)

USB-6363 Screw Terminal 본체 뚜껑 안쪽 라벨로 확인된 값입니다. 추가 대조 불필요.

5.1 차동 채널 ↔ 나사단자 번호

측정 채널	증폭기	DAQmx 채널	AI(+) 단자	AI(-) 단자	라벨 표기
CH1	U1A	ai0	1	2	AI 0 (AI 0+) / AI 8 (AI 0-)
CH2	U1B	ai1	4	5	AI 1 (AI 1+) / AI 9 (AI 1-)
CH3	U1C	ai2	7	8	AI 2 (AI 2+) / AI 10 (AI 2-)
CH4	U1D	ai3	10	11	AI 3 (AI 3+) / AI 11 (AI 3-)
CH5	U2A	ai4	17	18	AI 4 (AI 4+) / AI 12 (AI 4-)
CH6	U2B	ai5	20	21	AI 5 (AI 5+) / AI 13 (AI 5-)
CH7	U2C	ai6	23	24	AI 6 (AI 6+) / AI 14 (AI 6-)
CH8	U2D	ai7	26	27	AI 7 (AI 7+) / AI 15 (AI 7-)
CH9	U3A	ai16	33	34	AI 16 (AI 16+) / AI 24 (AI 16-)
CH10	U3B	ai17	36	37	AI 17 (AI 17+) / AI 25 (AI 17-)
CH11	U3C	ai18	39	40	AI 18 (AI 18+) / AI 26 (AI 18-)
CH12	U3D	ai19	42	43	AI 19 (AI 19+) / AI 27 (AI 19-)
CH13	U4A	ai20	49	50	AI 20 (AI 20+) / AI 28 (AI 20-)
CH14	U4B	ai21	52	53	AI 21 (AI 21+) / AI 29 (AI 21-)
CH15	U4C	ai22	55	56	AI 22 (AI 22+) / AI 30 (AI 22-)

초기 9 채널(3×3) 실험 시 사용 채널: Dev1/ai0 ~ Dev1/ai7 + Dev1/ai16 DAQmx Terminal Configuration: Differential

5.2 전원 / 접지 단자

용도	단자 번호
+5 V (JP_PWR 위치 A)	96
전원 리턴 (D GND)	82, 84, 86, 88, 90, 92, 94 중 1 개
아날로그 기준 (AI GND)	3, 6, 9, 12, 14, 19, 22, 25, 28, 30, 35, 38, 41, 44, 46, 51, 54, 57, 60, 62 중 1 개

5.3 DAQ 소프트웨어 설정 (참고, 발주 범위 외)

항목	값
입력 범위	$\pm 5\text{ V}$ 시작 (신호가 $\pm 2\text{ V}$ 이내로 확인되면 $\pm 2\text{ V}$)
Raw 샘플링	10 kS/s/채널 (15 채널 총 150 kS/s)
AI Convert Clock	period $\leq 6.67\text{ }\mu\text{s}$/convert 또는 DAQmx Auto. 기존 20~50 μs 고정값 사용 금지
디지털 필터	40~48 Hz 저역통과
저장/ML	LPF 후 필요 시 0.5~1 kS/s/채널로 decimation . 개발 초기에는 raw 10 kS/s 도 보존 권장

5.4 제작 후 Ghosting 검증 절차

- 전기적 / DAQ-MUX ghosting 시험**
 - 센서 J1~J15 를 모두 분리한다.
 - CH1(J1 SIG)에만 알려진 nA 급 시험 전류를 인가한다.
 - CH2~CH15 가 CH1 파형을 따라가는지 확인한다. 따라가면 전원/VREF/출력배선/DAQ settling 문제를 먼저 조사한다.
- 센서 배열의 실제 공간 coupling 시험**
 - 실제 센서 배열을 연결한 뒤 한 센서 위치에만 손 또는 grounded target 을 접근시킨다.
 - 인접 채널 응답은 전기적 ghosting 이 아니라 electret/TENG 전계의 물리적 공간 결합일 수 있으므로 1 단계 결과와 분리해 해석한다.
- 권장 판정**
 - 1 단계가 작고 2 단계만 존재: 센서/전계 배열 문제로 분류
 - 1 단계부터 유의미: 회로/배선/DAQ 설정 문제를 먼저 수정

6. 발주 전 확인 요청 (견적 회신 시 답변 부탁드립니다)

- 2 층 설계 확인** 및 고임피던스 영역 AGND 폴리곤 보이드 처리 방안
- 가드 설계 경험 유무** — pA 급 누설 관리 또는 고임피던스 아날로그 보드 실적
- 본 건이 ₩100,000 기보형 범위에 해당하는지**, 아니면 상위 티어 견적이 필요한지
- 산출물 범위**: 회로도(PDF + 편집 가능 소스), 거버, BOM, P&P, 3D, 조립도면(택 1 실장·DNP 명기 포함)
- 리비전 횟수**
- 설계 저작권 / 소유권 귀속**
- 조립(SMT) 대행 가능 여부** 및 시제품 수량(2~3 장 희망). **op-amp** 는 발주자 지급자재(LMC6484 × 4)
- 예상 일정**
- JP_PWR 배타 구조 구현 방안** (3.6 항)

7. 검수 체크리스트

- ☐ **op-amp** 가 LMC6484 4 개뿐이며 다른 op-amp 가 추가되지 않았음
- ☐ **U4D** 가 볼티지 팔로워(VREF 버퍼)로 구성, pin 14-pin 12 직결, pin 13 에 VREF_RAW
- ☐ CH1~CH15 가 3.1 배정표대로 핀에 할당됨
- ☐ 4 개 IC 전부 pin 4 = +5V_ANA, pin 11 = AGND
- ☐ **R51 47 Ω 고정, R52 47 Ω 고정** 존재. R51 0 Ω 옵션 없음
- ☐ JP_PWR 존재, 기본 DAQ 단자 96 급전, 두 전원 동시 연결 물리적 불가
- ☐ DAQ_ON LED 및 실크스크린 경고 문구, 전원 순서 표기
- ☐ **RIN 이 499 k Ω × 2 직렬 (1206)**, 센서 커넥터 쪽 배치, 크리피지 확보
- ☐ 센서 커넥터 핀 순서가 **SIG-GUARD-RETURN**, GUARD 는 VREF_CORE 고정
- ☐ SENSOR_RETURN 3-way 선택, 기본 OPEN

- ☐ RF/CF summing node 에 0 Ω · 절단 점퍼 없음, 공통 풋프린트 택 1 실장, 조립도면 명기
- ☐ 4.1 가드 범위가 summing node 측 한정, U4D pin 12 는 가드 대상에서 제외
- ☐ 가드 상·하면 + 스티칭 비아, summing node 에는 비아 없음
- ☐ 고임피던스 영역 AGND 폴리곤 완전 보이드, 해당 자리는 VREF_CORE 가드
- ☐ JP_SAFE (미사용 채널 VREF 고정) 존재
- ☐ AI GND / D GND 배선이 각 1 개, 보드 내 NET-TIE 또는 0 Ω 합류
- ☐ CHASSIS_SHIELD 네트 분리, 고임피던스 영역 미통과
- ☐ 출력 터미널 라벨이 5.1 표의 단자 번호와 함께 실크스크린에 인쇄됨
- ☐ 전 IC SOIC, 소켓·이중 풋프린트 없음
- ☐ CF 가 C0G/NP0 또는 필름, X7R/X5R/Y5V 미사용
- ☐ 회로도에 TIA 출력은 Voc 가 아님이 명기됨
- ☐ 발주 후 기능검수에 5.4 Ghosting 2 단계 시험이 포함됨
- ☐ 입력측 보호 소자 미실장

8. 향후 확장 (본 발주 범위 아님)

16 번째 채널이 필요해질 경우에만 LMC6482(Dual) 1 개를 추가하여 VREF 전용 버퍼로 쓰고 U4D 를 센서 채널로 전환하는 개정판을 검토한다. 현 발주에서는 고려하지 않는다.

9. 참고 문헌

1. TI, *LMC6482/LMC6484 CMOS Rail-to-Rail Input and Output Operational Amplifiers*, SNOS674J — 7.4 Layout (가드링), 용량성 부하 격리, 출력 단락전류, 핀 배열
2. NI, *USB-6363 Specifications* — AI 입력 임피던스(ON: 10 G Ω 이상 // 약 100 pF / OFF: 약 820 Ω), +5 V 단자 1 A, 멀티플렉서 정착 시간
3. NI **USB-6363 Screw Terminal 본체 단자 라벨** — 5.1/5.2 배선표의 1 차 출처
4. 선행 연구(비접촉 일렉트릭 센서 어레이): 소자 임피던스가 높아 센싱 유닛마다 트랜스임피던스 앰프로 전압 변환 후 ADC 수집, 채널 간 크로스토크 무시 수준. 5 층 소자 단락전류 약 7.7 nA, 전달전하 약 0.7 nC
5. 선행 연구(적층 일렉트릭 근접센서): 5 층 적층 시 표면전위 약 -2.3 kV, 코로나 충전 인가전압 -11 kV → RIN 내전압 산정 근거
6. 선행 연구(마찰전기 웨어러블): 센싱 유닛마다 개별 연산증폭기를 배정해 신호 크로스토크 방지
7. 선행 연구 해석 원칙: 단일 소자 **Voc characterization** 은 **electrometer**, 다채널 HMI 는 **채널별 독립 active front-end + ADC/DAQ** 로 구분

작성일: 2026-08-07 (Rev. 7 — 제작 동결본)

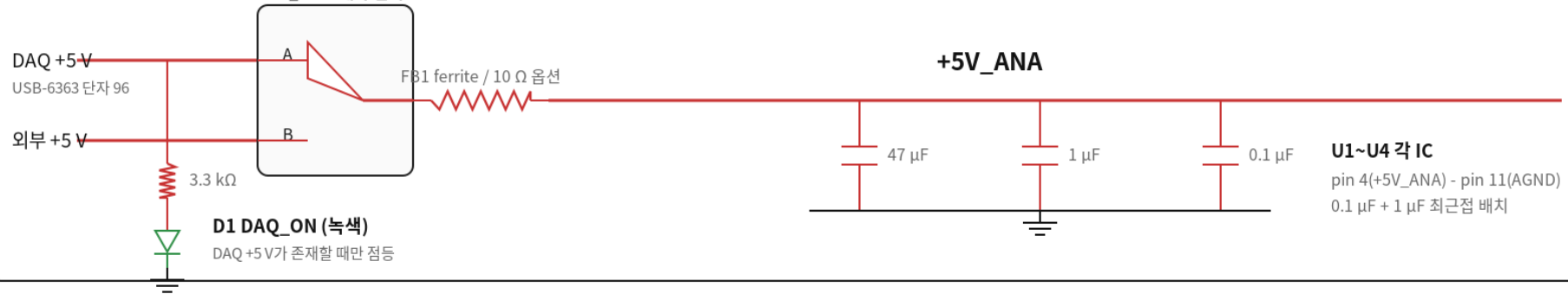
부록 A. Rev.7 회로도

전원 · 기준전압 상세 회로 — Rev.7

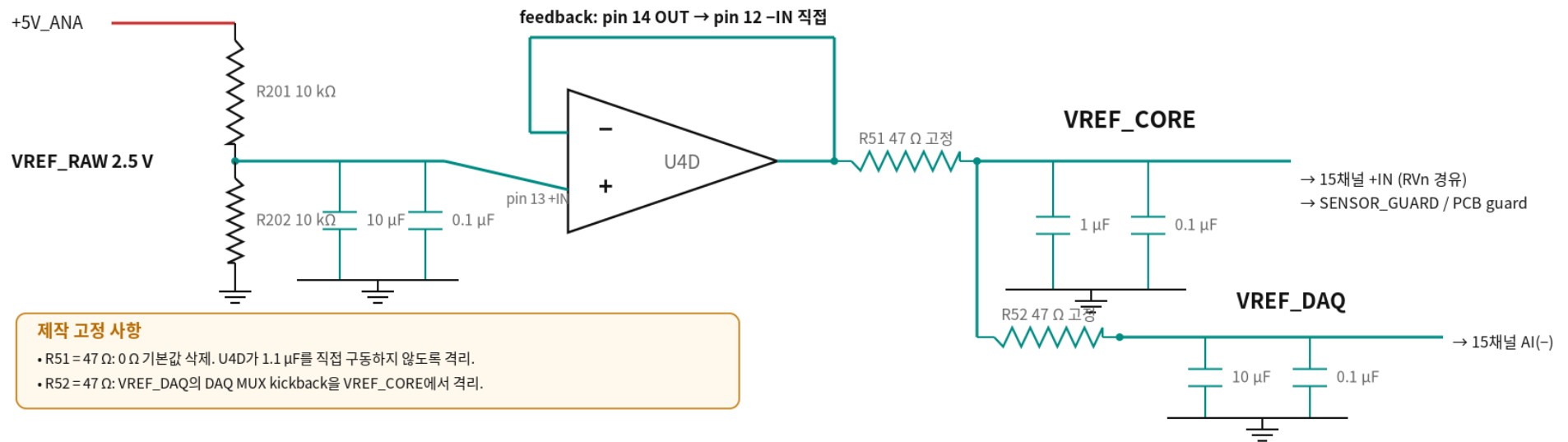
REV.7

R51 = 47 Ω 고정 / U4D 단일 VREF 버퍼 / USB-6363 연동

1. 전원 입력 · 배타 선택 · 필터



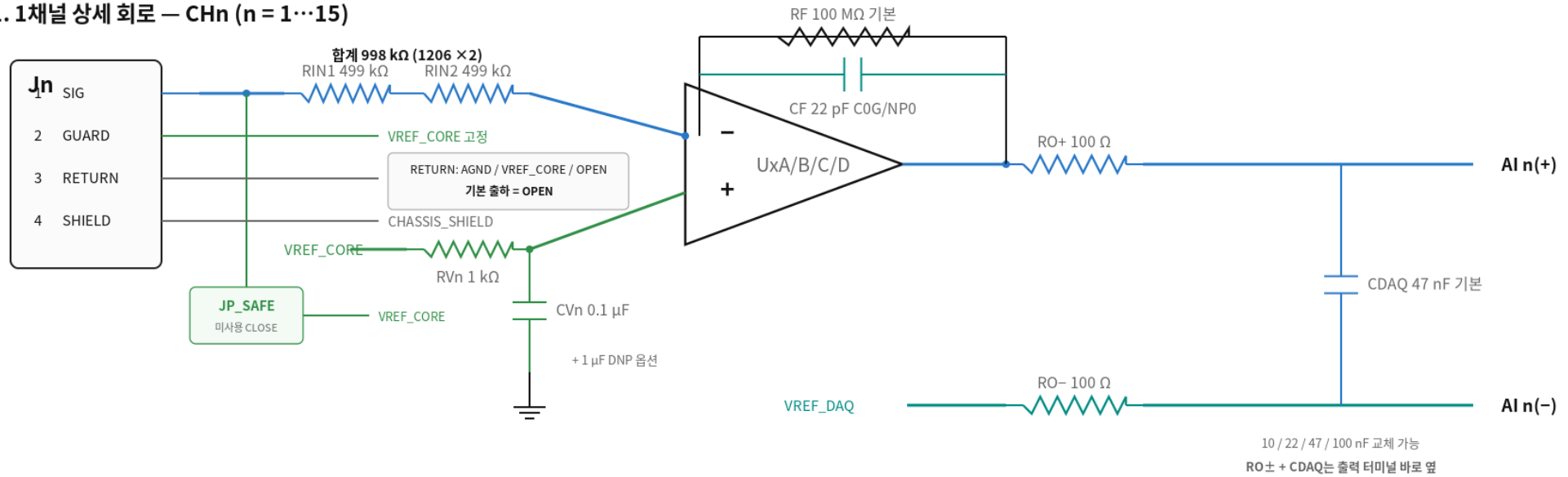
2. VREF_RAW → U4D follower → VREF_CORE / VREF_DAQ



제작 고정 사항

- R51 = 47 Ω: 0 Ω 기본값 삭제. U4D가 1.1 μF를 직접 구동하지 않도록 격리.
- R52 = 47 Ω: VREF_DAQ의 DAQ MUX kickback을 VREF_CORE에서 격리.

1. 1채널 상세 회로 — CHn (n = 1...15)



2. 기본값 / 실험용 교체값

모드	RF	CF	$\tau=RF \cdot CF$	f_c
기본 gesture/HMI	100 MΩ	22 pF C0G	2.2 ms	72.3 Hz
느린 응답 시험	1 GΩ	100 pF C0G	0.1 s	1.59 Hz
hold-like 시험*	1 GΩ	1 nF C0G/film	1 s	0.159 Hz

* 1 GΩ/1 nF는 약 1 s 감식형 시험모드이며, "진짜 Voc 유지"를 대체하지 않음.

3. PCB 핵심

- VREF_CORE 가드: SIG/summing node/-IN/RF·CF의 -IN측만 둘러쌈
- 고임피던스 영역 AGND 폴리곤 보이드, 상·하면 가드 + stitching via
- RF/CF는 op-amp 핀 바로 옆; summing node에는 비아/선택 점퍼 금지
- CF는 C0G/NP0 또는 필름. X7R/Y5V 사용 금지
- RIN 499 kΩ ×2는 커넥터 쪽 유지; 센서 보호/과도 전류 제한용
- 무세척 플럭스도 세척·완전건조 후 누설 확인

1. 증폭기 및 DAQ 매핑

IC	Amp	용도	OUT/-IN/+IN	DAQmx	AI(+)/AI(-) 단자
U1	A	CH1	1/2/3	ai0	1 / 2
U1	B	CH2	7/6/5	ai1	4 / 5
U1	C	CH3	8/9/10	ai2	7 / 8
U1	D	CH4	14/12/13	ai3	10 / 11
U2	A	CH5	1/2/3	ai4	17 / 18
U2	B	CH6	7/6/5	ai5	20 / 21
U2	C	CH7	8/9/10	ai6	23 / 24
U2	D	CH8	14/12/13	ai7	26 / 27
U3	A	CH9	1/2/3	ai16	33 / 34
U3	B	CH10	7/6/5	ai17	36 / 37
U3	C	CH11	8/9/10	ai18	39 / 40
U3	D	CH12	14/12/13	ai19	42 / 43
U4	A	CH13	1/2/3	ai20	49 / 50
U4	B	CH14	7/6/5	ai21	52 / 53
U4	C	CH15	8/9/10	ai22	55 / 56
U4	D	VREF	14/12/13	—	—

2. DAQ 권장 설정

Terminal Configuration	Differential
입력 채널	Dev1/ai0~ai7 + Dev1/ai16~ai22
초기 9채널	Dev1/ai0~ai7 + Dev1/ai16
입력 범위	±5 V 시작 → 확인 후 ±2 V
Raw Sample Rate	10 kS/s/channel
총 변환률	150 kS/s (15채널)
AI Convert Period	≤ 6.67 μs/convert (또는 DAQmx Auto)
Digital LPF	40~48 Hz

20~50 μs convert interval 고정은 삭제: 10 kS/s/ch와 양립하지 않음.

3. Ghosting 2단계 검증

A. 전기적/MUX ghosting 센서를 모두 분리하고 CH1(J1)에만 알려진 nA급 시험 전류를 인가. CH2~CH15 동조 여부 확인.

B. 공간적 coupling 실제 센서 배열 연결 후 한 위치에만 손/grounded target 접근. 인접채널 응답은 전계의 실제 공간 결합일 수 있음.

판정 A에서 크고 B에서도 크면 회로/배선 문제부터 수정. A는 작고 B만 존재하면 센서 배열/필드 설계 문제로 분리 분석.

4. 전원 · 접지

- DAQ +5 V 단자 96 → JP_PWR A(기본) → FB → +5V_ANA
- 외부 +5 V는 JP_PWR B에서만 선택. A/B 동시 접속 물리적으로 금지
- DAQ_ON LED는 단자 96만 감시. 소등 시 외부급전 상태에서 측정 금지
- AI GND 1선 + D GND 1선, 보드에서 지정된 single-point NET-TIE/0 Ω로 합류