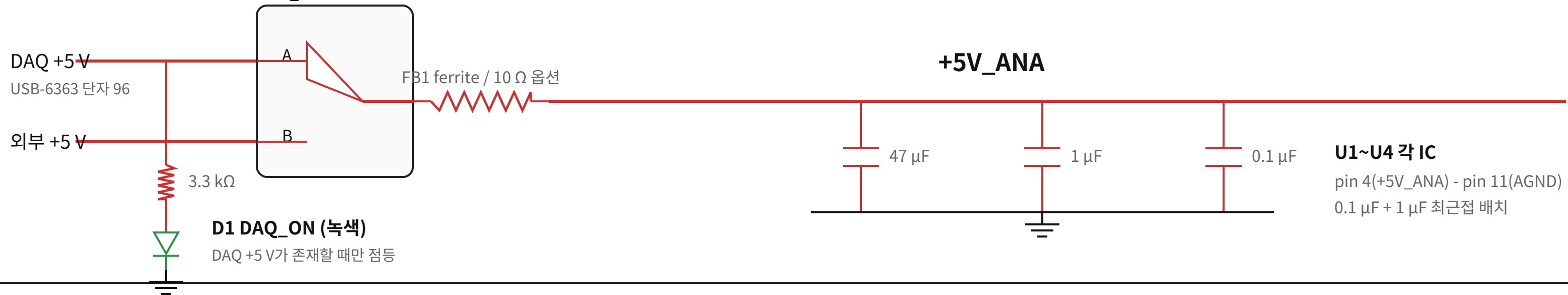
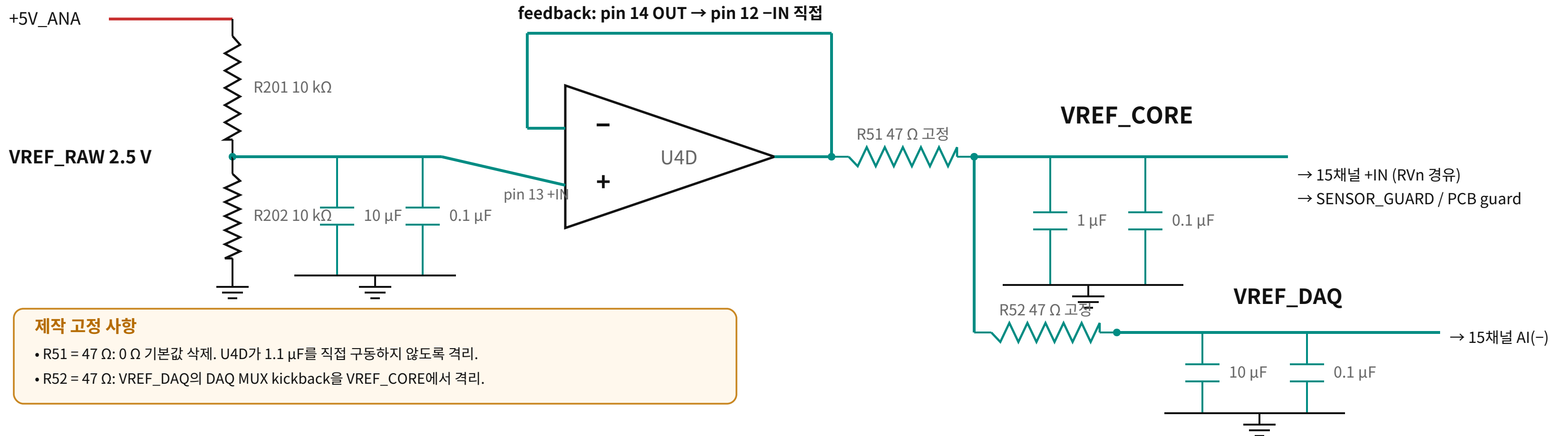


1. 전원 입력 · 배타 선택 · 필터



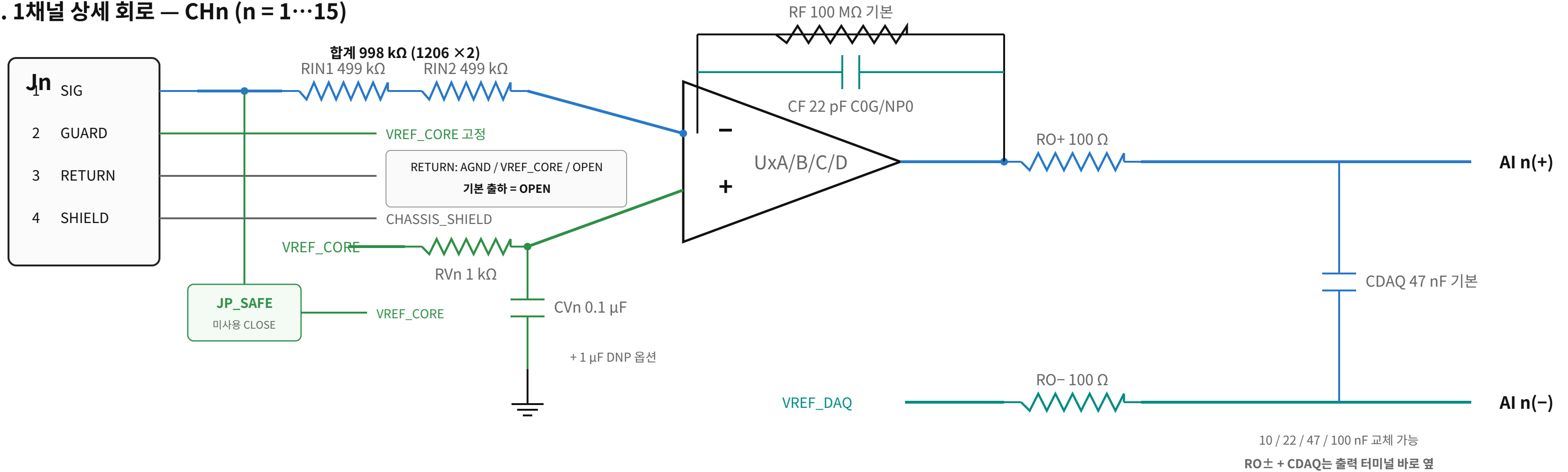
2. VREF_RAW → U4D follower → VREF_CORE / VREF_DAQ



제작 고정 사항

- R51 = 47 Ω : 0 Ω 기본값 삭제. U4D가 1.1 μ F를 직접 구동하지 않도록 격리.
- R52 = 47 Ω : VREF_DAQ의 DAQ MUX kickback을 VREF_CORE에서 격리.

1. 1채널 상세 회로 — CHn (n = 1...15)



DAQ 측정량: $V_{AI} = AI(+) - AI(-) \approx V_{OUT} - V_{REF_DAQ} \approx -I_{SENSOR} \times RF$

주의: 이 출력은 Keithley 6514의 개방회로전압(Voc)이 아니라 TIA로 조건화된 전류/전하 변화 신호입니다.

2. 기본값 / 실험용 교체값

모드	RF	CF	$\tau=RF \cdot CF$	fc
기본 gesture/HMI	100 MΩ	22 pF C0G	2.2 ms	72.3 Hz
느린 응답 시험	1 GΩ	100 pF C0G	0.1 s	1.59 Hz
hold-like 시험*	1 GΩ	1 nF C0G/film	1 s	0.159 Hz

* 1 GΩ/1 nF는 약 1 s 감쇠형 시험모드이며, “진짜 Voc 유지”를 대체하지 않음.

3. PCB 핵심

- VREF_CORE 가드: SIG/summing node/-IN/RF·CF의 -IN측만 둘러쌘
- 고임피던스 영역 AGND 폴리곤 보이드, 상·하면 가드 + stitching via
- RF/CF는 op-amp 핀 바로 옆; summing node에는 비아/선택 점퍼 금지
- CF는 C0G/NP0 또는 필름. X7R/Y5V 사용 금지
- RIN 499 kΩ ×2는 커넥터 쪽 유지; 센서 보호/과도 전류 제한용
- 무세척 플렉스도 세척·완전건조 후 누설 확인

1. 증폭기 및 DAQ 매핑

IC	Amp	용도	OUT/-IN/+IN	DAQmx	AI(+)/AI(-) 단자
U1	A	CH1	1/2/3	ai0	1 / 2
U1	B	CH2	7/6/5	ai1	4 / 5
U1	C	CH3	8/9/10	ai2	7 / 8
U1	D	CH4	14/12/13	ai3	10 / 11
U2	A	CH5	1/2/3	ai4	17 / 18
U2	B	CH6	7/6/5	ai5	20 / 21
U2	C	CH7	8/9/10	ai6	23 / 24
U2	D	CH8	14/12/13	ai7	26 / 27
U3	A	CH9	1/2/3	ai16	33 / 34
U3	B	CH10	7/6/5	ai17	36 / 37
U3	C	CH11	8/9/10	ai18	39 / 40
U3	D	CH12	14/12/13	ai19	42 / 43
U4	A	CH13	1/2/3	ai20	49 / 50
U4	B	CH14	7/6/5	ai21	52 / 53
U4	C	CH15	8/9/10	ai22	55 / 56
U4	D	VREF	14/12/13	—	—

2. DAQ 권장 설정

Terminal Configuration	Differential
입력 채널	Dev1/ai0~ai7 + Dev1/ai16~ai22
초기 9채널	Dev1/ai0~ai7 + Dev1/ai16
입력 범위	±5 V 시작 → 확인 후 ±2 V
Raw Sample Rate	10 kS/s/channel
총 변환률	150 kS/s (15채널)
AI Convert Period	≤ 6.67 μs/convert (또는 DAQmx Auto)
Digital LPF	40~48 Hz

20~50 μs convert interval 고정은 삭제: 10 kS/s/ch와 양립하지 않음.

3. Ghosting 2단계 검증

A. 전기적/MUX ghosting 센서를 모두 분리하고 CH1(J1)에만 알려진 nA급 시험 전류를 인가. CH2~CH15 동조 여부 확인.

B. 공간적 coupling 실제 센서 배열 연결 후 한 위치에만 손/grounded target 접근. 인접채널 응답은 전계의 실제 공간 결합일 수 있음.

판정 A에서 크고 B에서도 크면 회로/배선 문제부터 수정. A는 작고 B만 존재하면 센서 배열/필드 설계 문제로 분리 분석.

4. 전원 · 접지

- DAQ +5 V 단자 96 → JP_PWR A(기본) → FB → +5V_ANA
- 외부 +5 V는 JP_PWR B에서만 선택. A/B 동시 접속 물리적으로 금지
- DAQ_ON LED는 단자 96만 감시. 소등 시 외부급전 상태에서 측정 금지
- AI GND 1선 + D GND 1선, 보드에서 지정된 single-point NET-TIE/0 Ω로 합류